

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01160038 A

(43) Date of publication of application: 22.06.89

(51) Int. Cl

H01L 21/90
H01L 21/28
H01L 29/78

(21) Application number: 62319861

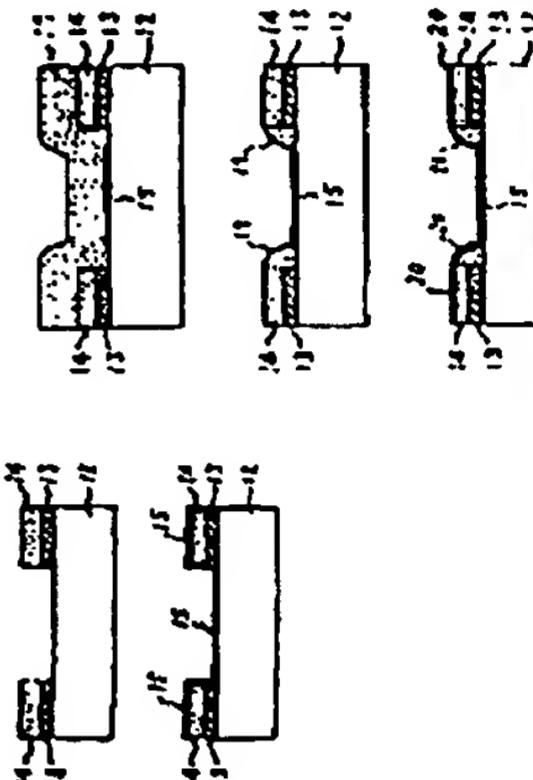
(71) Applicant: **NEC CORP**

(22) Date of filing: 16.12.87

(72) Inventor: **SUZUI KEISUKE****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To eliminate the need for the usage of a <111> substrate having comparatively high crystalline defect density, and to improve yield by omitting an unstable etching process in the manufacturing process of a semiconductor device.

CONSTITUTION: A semiconductor substrate 12 is thermally oxidized, polysilicon 14 is formed, an impurity is introduced, and an opening section is shaped selectively through a PB process. An oxide film 15 is formed through thermal oxidation, and a CVD oxide film 16 is grown. Etchback is conducted through anisotropic etching, and a resist 17 is applied onto the whole surface. The resist 17 is etched through anisotropic etching, the impurity is introduced, and etching is performed from the oxide film 16 to the oxide film 15 through wet etching. The resist 17 is removed, and polysilicon 19 is grown on the whole surface. Etchback is executed through anisotropic etching, and an insulating film 20 is shaped onto the polysilicon 19 through thermal oxidation. The oxide film 15 is gotten rid of to expose the semiconductor substrate, and an electrode metal is applied and a contact is formed.

COPYRIGHT: (C)1989,JPO&Japio

②公開特許公報(A) 平1-160038

③Int.Cl.

H 01 L 21/90
21/28
29/78識別記号
301内整理番号
D-6708-5F
Z-7638-5F
P-8422-5F

④公開 平成1年(1989)6月22日

審査請求 未請求 発明の数 1 (全6頁)

⑤発明の名称 半導体装置の製造方法

⑥特許 昭62-319861

⑦出願 昭62(1987)12月16日

⑧発明者 鈴井 啓介 東京都港区芝5丁目33番1号 日本電気株式会社内
⑨出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑩代理人 弁理士 内原晋

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に将来電極となる導電膜を形成する工程と、前記半導体基板を酸化する工程と、前記半導体基板上の全面に酸化膜を形成し該酸化膜を異方性エッティングにより前記導電膜の側壁に残るよう形成する工程と、前記半導体基板上の全面に酸化膜の除去に耐えられる膜を形成し該膜を異方性エッティングにより前記側壁の酸化膜が除去できる厚さとなるよう形成する工程と、前記側壁の酸化膜を除去し、かつ前記側壁の酸化膜の下部酸化膜を除去する工程と、前記酸化膜の除去に耐えられる前記膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に關し、特に自己整合技術による微細コンタクト形成に關する。

(従来の技術)

従来、この種のコンタクト形成方法は、第3回(a)～(e)のようになっていた。すなわち、半導体基板21を酸化して酸化膜22を形成する。その上面にポロンドープされたポリシリコン23を形成し、これを選択的にエッティングした後このポリシリコン23が露出しないよう酸化膜24で覆い、酸化膜22上にポリシリコン23と酸化膜24の開孔部を選択的に形成する(第3回(a))。ウェットエッティングにより半導体基板21上の酸化膜22をポリシリコン23の下部の一部まで除去するようナイトエッティングする(第3回(b))。その後、全面に不純物を含まないポリシリコン25を形成し、ポロンドープされたポリシリコン23から不純物を含まないポリシリコン25へボロンを熱拡散する(第3回(c))。ヒドライジンによる選択エッティングによって不純物を含まないポリシリコ

ン25を除去する。この時、酸化膜23がサイドエッヂされた部分にポリシリコン25が残る(第3回(d))。しかる後、基板を熱処理し、酸化膜26を形成する(第3回(e))。かかる従来例においては、第3回(d)と(e)の工程においてヒドラジンによるウェットエッティングの際に、半導体基板21のエッティングスピードが不純物を含まないポリシリコン25のエッティングスピードより十分小さくなるようく<111>基板を使用している。しかる後酸化膜26をエッティングして半導体基板21を露出し、金属電極を取り付けた。

(発明が解決しようとする問題)

上述した従来のコンタクト形成方法は、不純物を含まないポリシリコン25をヒドラジンによるウェットエッティングにより除去する工程において、ヒドラジンが原液のままエッティングを行ったのでは斑点状の残りが生じる。また、アルコールにより希釈してエッティングを行えば、斑点状の残りは生じないが、アルコールの蒸発によりウェットエッティングスピードが変化し、斑点が定まらない。

— 3 —

(実施例)

次に、本発明について図面を参照して説明する。第1回(a)～(e)は本発明の一実施例の製造工程を示す図である。半導体基板1上に2500Å程度の酸化膜2を形成し、その上に3500Å程度のポリシリコン3を形成し、ポリシリコン3へ不純物(例えばボロン)を導入(例えばイオン注入)し、さらに4000Å程度のCVD酸化膜4を形成し例えば1000C 20分でステーム処理をして焼きしめ、PAS工程をへて選択的に開孔部を形成する(第1回(f))。次に基板1を酸化して酸化膜5を形成する(第1回(g))。CVD酸化膜6を例えば7000Å程度成長(第1回(h))し、異方性エッティングにてエッティングパックして側壁に酸化膜7を残す(第1回(i))。全面に例えればレジスト8を塗布する(第1回(j))。異方性エッティングにてレジスト8をエッティングする(第1回(k))。ウェットエッティングにより酸化膜7から酸化膜5へエッティングを行う(第1回(l))。レジスト8を除去する(第1回(m))。ポリシリコン10を全面に成長する(第1回(n))。異方

— 5 —

また、半導体基板の<111>表面は他の結晶面表面をもつ半導体基板と比べ結晶の欠陥密度が高く、半導体電子の結晶において歩留りの低下を抱いている。また、<111>表面は、界面単位が高いため、バイポーラトランジスタとMOSトランジスタの混在を考えた場合、MOSトランジスタの電流制御が困難になるという欠点がある。

(問題点を解決するための手段)

本発明のコンタクト形成方法は、半導体基板上に将来電極になる導電膜を形成する工程と、前記基板を酸化する工程と、前記基板上の全面に酸化膜を形成し該酸化膜を異方性エッティングにより前記導電膜の側壁に残るよう形成する工程と、前記基板上の全面に酸化膜の除去に耐えられる膜を形成し該膜を異方性エッティングにより前記側壁の酸化膜が除去できる厚さとなるよう形成する工程と、前記側壁の酸化膜を除去し、かつ前記側壁の酸化膜の下部酸化膜を除去する工程と、前記酸化膜の除去に耐えられる膜を除去する工程を有する。

— 4 —

性エッティングにてエッティングパックする(第2回(j))。熱酸化して酸化膜11をポリシリコン10上に作る(第2回(k))。その後、酸化膜5を除去して半導体基板を露出し、電極金属を被覆してコンタクトを形成する。

第2回(l)～(n)は本発明の他の実施例の製造工程を示す図である。半導体基板12を2500Å程度に熱酸化し、3500Å程度のポリシリコン14を形成し、不純物の導入を行い、PAS工程をへて選択的に開孔部を形成する(第2回(l))。熱酸化して酸化膜15を形成する(第2回(m))。CVD酸化膜16を例えば7000Å程度成長する(第2回(n))。異方性エッティングにてエッティングパックする(第2回(d))。全面に例えればレジスト17を塗布する(第2回(e))。異方性エッティングにてレジスト17をエッティングする(第2回(f))。不純物の導入を行い、ウェットエッティングにより酸化膜16から酸化膜15へエッティングを行う(第2回(g))。レジスト17を除去する(第2回(h))。ポリシリコン19を全面に成長する(第2回(i))。異方性エッティングにてエッティング

— 6 —

ークする(同図(d))。熱酸化して絶縁膜20をポリシリコン19上に作る(同図(e))。この実施例ではポリシリコン14の上に第1層の実施例のように絶縁膜4がないのでポリシリコン14への不純物の導入が第2回(同)の工程において可能であるという自由度がある。

〔発明の効果〕

以上説明したように本発明は、ヒドログンによる選択エッチングを行なう必要がないので、半導体装置を製造する過程において不安定なエッチング工程を省略でき、比較的結晶欠陥密度の高い<111>基板を使用する必要がなく多層化を向上させる効果がある。

4. 図面の簡単な説明

第1回(a)～(b)は本発明の一実施例による製造工程を示す断面図、第2回(a)～(d)は本発明の他の実施例による製造工程を示す断面図、第3回(d)～(e)は従来の製造工程を示す断面図である。

1…半導体基板、2…酸化膜、3…ポリシリコ

—7—

ン、4…酸化膜、5…酸化膜、6…CVD酸化膜、7…無機CVD酸化膜、8…レジスト、9…コンタクト開孔部、10…ポリシリコン、11…酸化膜、12…半導体基板、13…酸化膜、14…ポリシリコン、15…酸化膜、16…CVD酸化膜、17…レジスト、18…コンタクト開孔部、19…ポリシリコン、20…酸化膜、21…基板、22…酸化膜、23…ポリシリコン、24…酸化膜、25…ポリシリコン、26…酸化膜

代理人弁理士内原晋

—8—

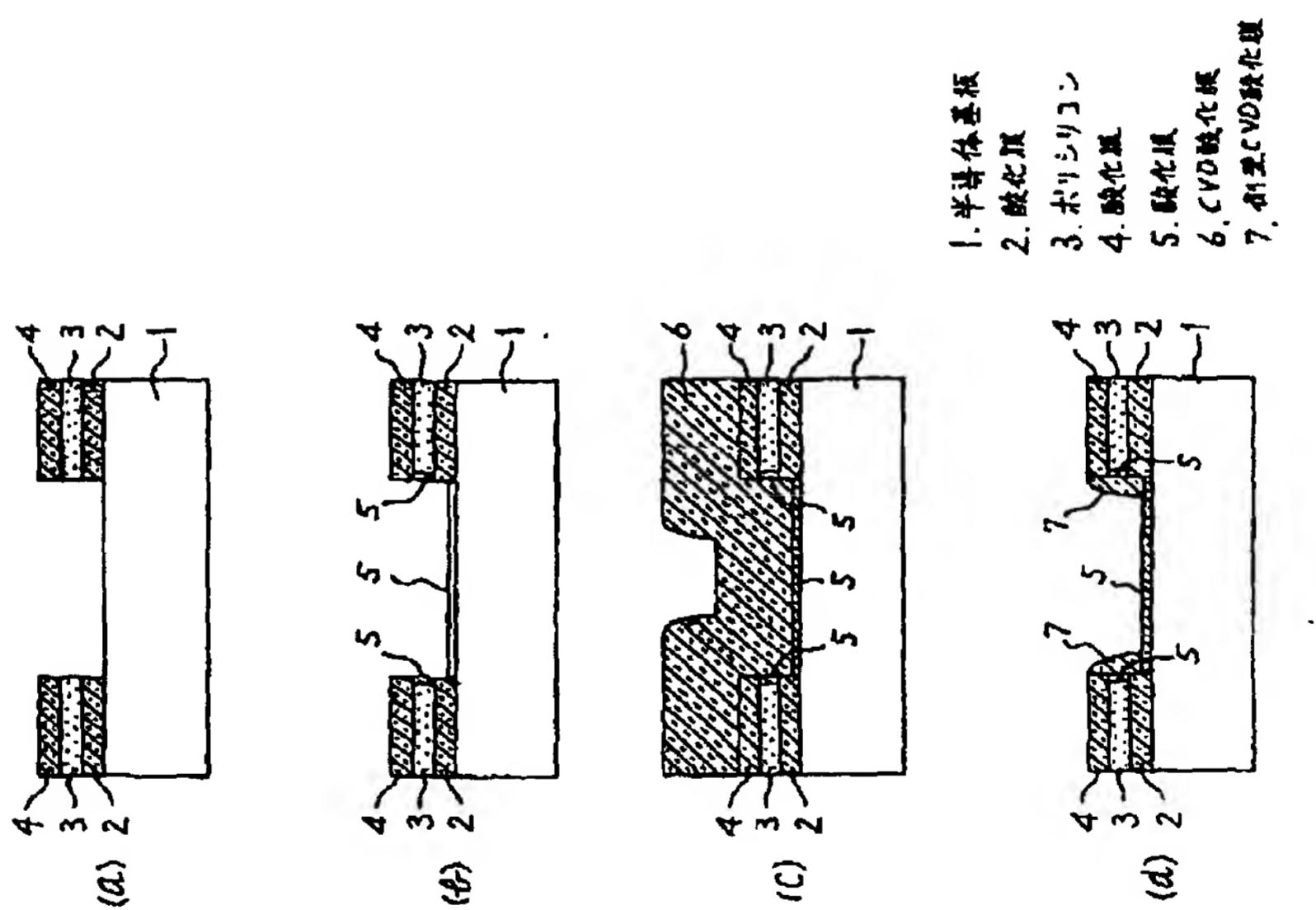
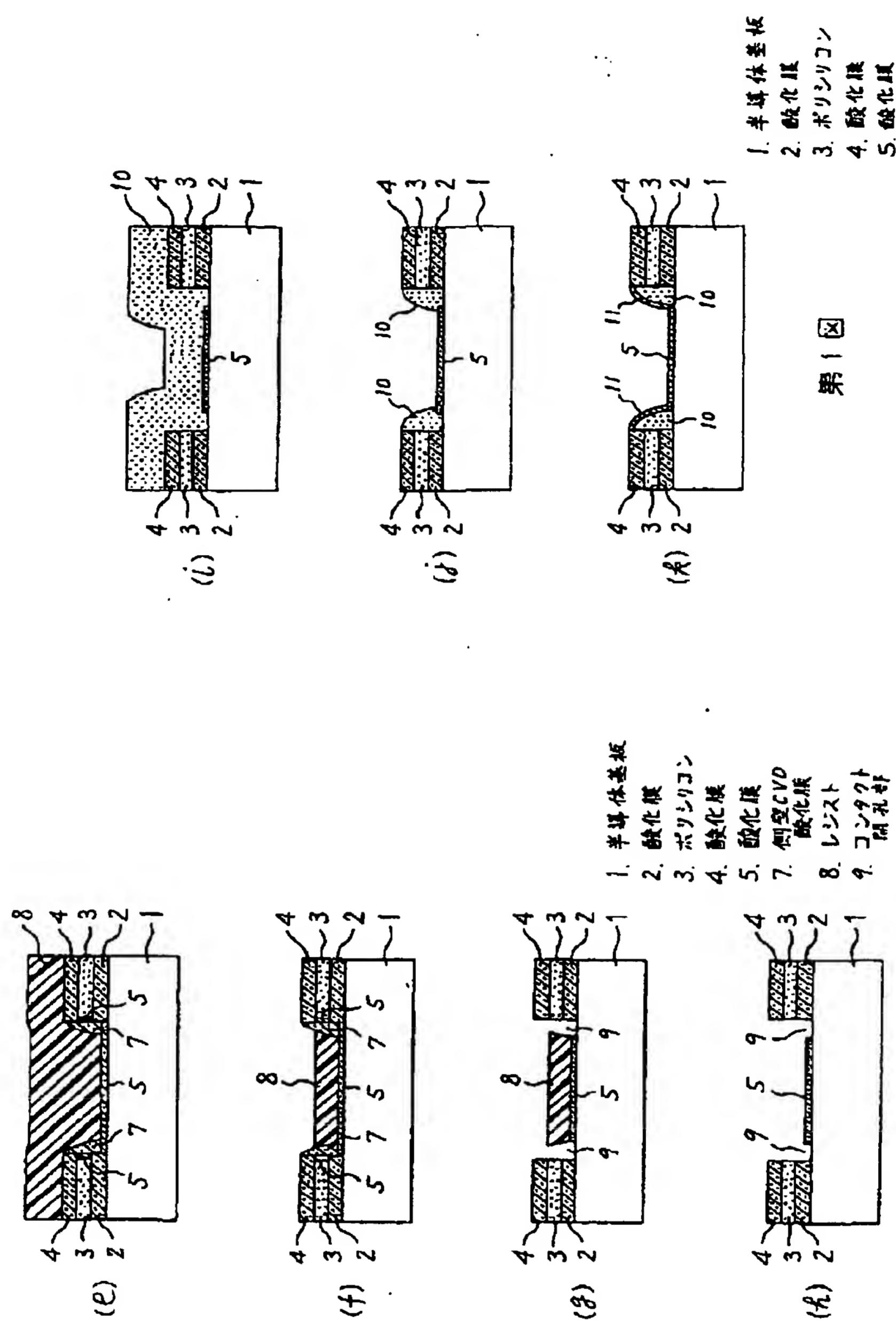
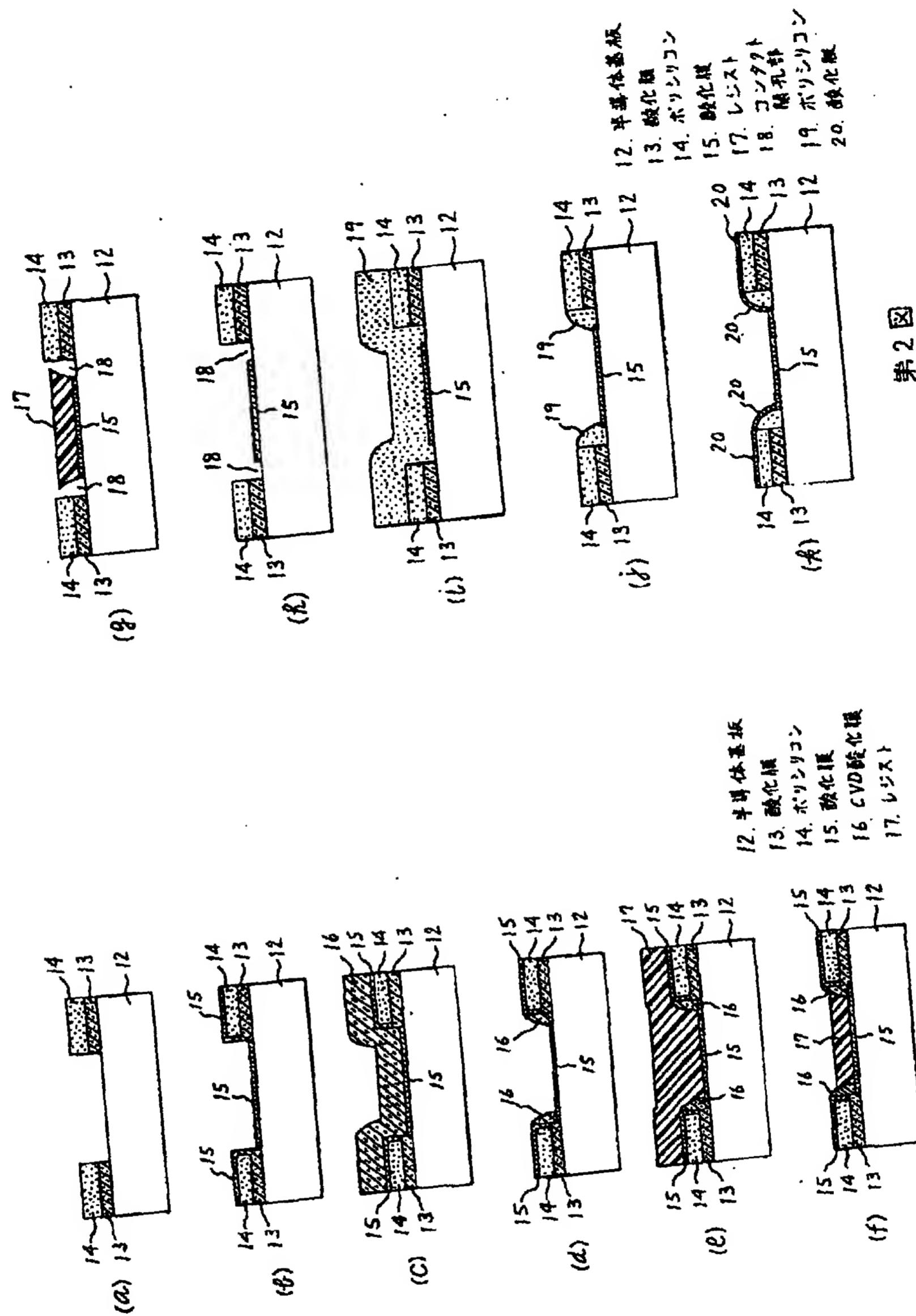


図1

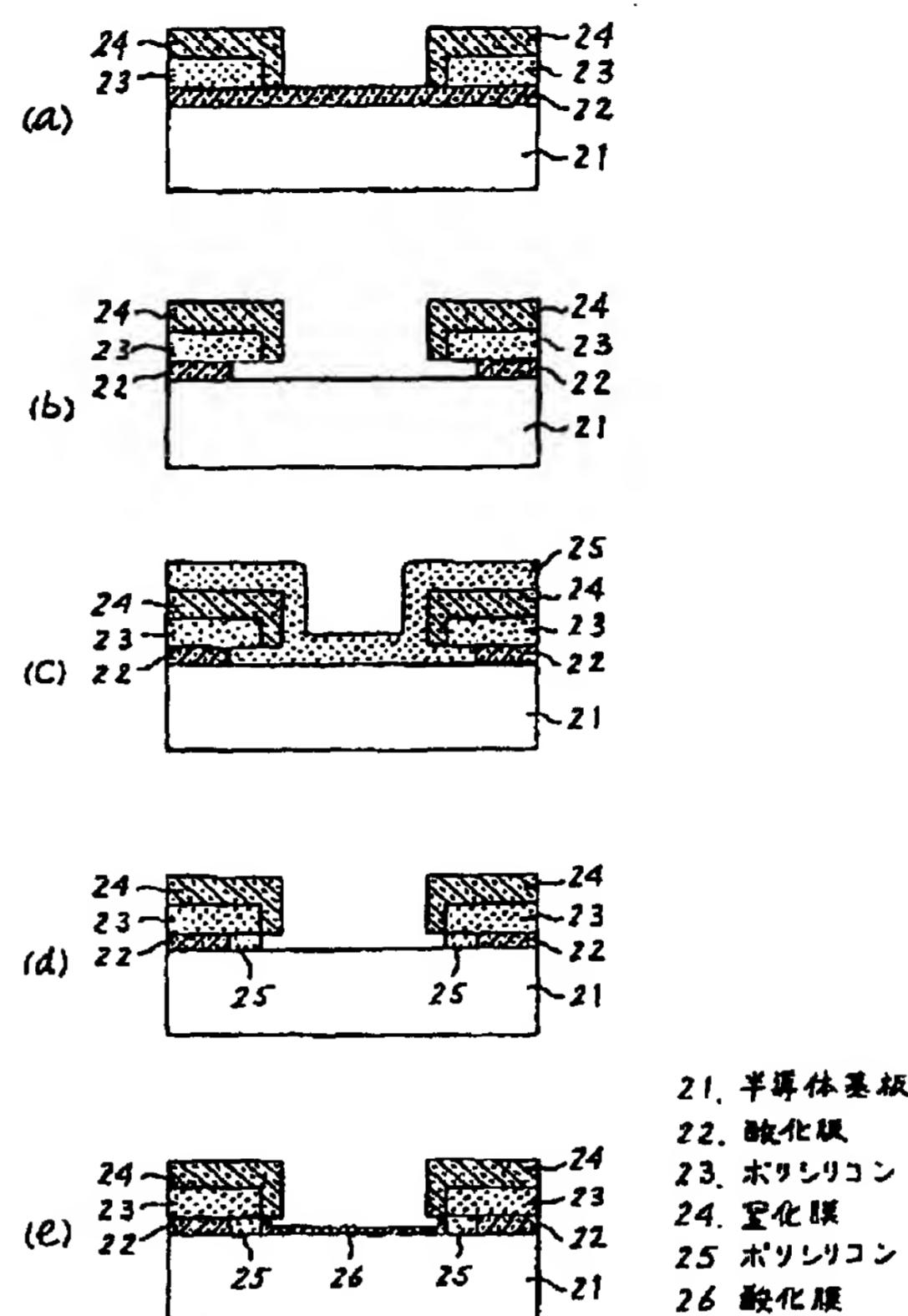


第1図



第2図

第2図



第3図